

#2

501.39619X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Atsushi SHIMODA, et al
Serial No.:
Filed: February 15, 2001
Title: A METHOD FOR ANALYZING CIRCUIT PATTERN
 DEFECTS AND A SYSTEM THEREOF
Group:



LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

February 15, 2001

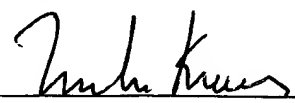
Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2000-036894 filed February 15, 2000.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Melvin Kraus
Registration No. 22,466

MK/nac
Attachment
(703) 312-6600

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

841 U.S. PTO
09/783604
02/15/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 2月15日

出 願 番 号

Application Number:

特願2000-036894

出 願 人

Applicant(s):

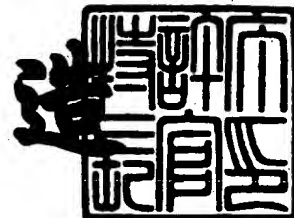
株式会社日立製作所

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年11月17日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3095452

【書類名】 特許願

【整理番号】 Y3273

【提出日】 平成12年 2月15日

【あて先】 特許庁長官殿

【国際特許分類】 G01N 21/88

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立
製作所 生産技術研究所内

【氏名】 下田 篤

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立
製作所 生産技術研究所内

【氏名】 石丸 伊知郎

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立
製作所 生産技術研究所内

【氏名】 高木 裕治

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立
製作所 生産技術研究所内

【氏名】 田村 太久夫

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立
製作所 生産技術研究所内

【氏名】 濱村 有一

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 渡辺 健二

【発明者】

【住所又は居所】 茨城県ひたちなか市大字市毛 8 8 2 番地 株式会社日立
製作所 計測器グループ内

【氏名】 小沢 康彦

【発明者】

【住所又は居所】 茨城県ひたちなか市大字市毛 8 8 2 番地 株式会社日立
製作所 計測器グループ内

【氏名】 磯貝 静志

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100078134

【弁理士】

【氏名又は名称】 武 顕次郎

【電話番号】 03-3591-8550

【手数料の表示】

【予納台帳番号】 006770

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 欠陥解析方法および欠陥解析システム

【特許請求の範囲】

【請求項 1】 電子回路パターンの製造工程において検出される欠陥の解析方法であって、

被検査物の欠陥を検出して欠陥位置を記憶するステップと、

前記欠陥に関する詳細情報を収集して前記欠陥位置と関連付けて記憶するステップと、

前記被検査物の電気テストにおける不良発生位置を記憶するステップと、

前記欠陥位置と前記不良発生位置を比較するステップと、

前記比較結果に基づき前記詳細情報を分類して表示するステップとを、含むことを特徴とする欠陥の解析方法。

【請求項 2】 請求項 1 記載において、

前記表示された詳細情報から代表サンプルを選択することを特徴とする欠陥の解析方法。

【請求項 3】 請求項 2 記載において、

前記選択された代表サンプルから特徴量を算出し、前記特徴量に基づき詳細情報の分類基準を決定することを特徴とする欠陥の解析方法。

【請求項 4】 電子回路パターンの製造工程において検出される欠陥の解析方法であって、

被検査物の欠陥を検出して欠陥位置を記憶するステップと、

前記欠陥に関する詳細情報を収集して前記欠陥位置と関連付けて記憶するステップと、

前記被検査物の電気テストにおける不良発生位置を記憶するステップと、

前記欠陥位置と前記不良発生位置を比較するステップと、

前記比較結果に基づき前記詳細情報を分類するステップと、

前記分類された詳細情報の特徴量を算出するステップと、

前記特徴量に基づき詳細情報の分類基準を決定するステップとを、

含むことを特徴とする欠陥の解析方法。

【請求項 5】 電子回路パターンの製造工程において検出される欠陥の解析方法であって、

被検査物の欠陥を検出して欠陥位置を記憶するステップと、

前記欠陥に関する詳細情報を収集するステップと、

前記詳細情報を予め定めた分類基準に従い複数のカテゴリに分類するステップと、

前記カテゴリを前記欠陥位置と関連付けて記憶するステップと、

前記被検査物の電気テストにおける不良発生位置を記憶するステップと、

前記欠陥位置と前記不良発生位置を比較するステップと、

前記比較結果に基づき各カテゴリの不良発生率を算出するステップとを、

含むことを特徴とする欠陥の解析方法。

【請求項 6】 請求項 5 記載において、

前記不良発生率に基づき前記分類基準を修正するステップを含むことを特徴とする欠陥の解析方法。

【請求項 7】 請求項 3 乃至 6 の何れか 1 項に記載において、

前記した分類基準に従って欠陥の詳細情報を複数のカテゴリに分類するステップと、各カテゴリに属する欠陥の詳細情報から算出した特徴量を用いて分類基準を教示するステップと、前記教示結果に従い未知の欠陥の詳細情報を分類するステップとを、含むことを特徴とする欠陥の解析方法。

【請求項 8】 電子回路パターンの製造工程において検出される欠陥の解析方法であって、

第 1 の被検査物の製造工程において欠陥を検出して欠陥位置を記憶するステップと、

前記欠陥に関する詳細情報を収集するステップと、

前記詳細情報を予め定めた分類基準に従い複数のカテゴリに分類するステップと、

前記カテゴリを前記欠陥位置と関連付けて記憶するステップと、

前記被検査物の電気テストにおける不良発生位置を記憶するステップと、

前記欠陥位置と前記不良発生位置を比較するステップと、
 前記比較結果に基づき各カテゴリの不良発生率を算出するステップと、
 第 2 の被検査物の前記工程もしくは前記工程に類似した工程において欠陥を検出して欠陥位置を記憶するステップと、
 前記欠陥に関する詳細情報を収集するステップと、
 前記詳細情報を予め定めた分類基準に従い複数のカテゴリに分類するステップと、
 第 1 の被検査物において算出した各カテゴリの不良発生率と第 2 の被検査物において分類した各カテゴリの欠陥数を用いて、第 2 の被検査物の不良発生数を算出するステップとを、
 含むことを特徴とする欠陥の解析方法。

【請求項 9】 電子回路パターンの製造工程において検出される欠陥の解析方法であって、

第 1 の被検査物の工程 A において欠陥を検出して欠陥位置を記憶するステップと、

前記欠陥に関する詳細情報を収集するステップと、
 前記詳細情報を予め定めた分類基準に従い複数のカテゴリに分類するステップと、

前記カテゴリを前記欠陥位置と関連付けて記憶するステップと、
 前記被検査物の電気テストにおける不良発生位置を記憶するステップと、
 前記欠陥位置と前記不良発生位置を比較するステップと、
 前記比較結果に基づき各カテゴリの不良発生率を算出するステップと、
 第 2 の被検査物の工程 A を含む類似工程より前の少なくとも 1 つ以上の工程 B を含む類似工程において欠陥を検出して欠陥位置を記憶するステップと、
 工程 A において欠陥を検出して欠陥位置を記憶するステップと、
 工程 A で検出された欠陥に関する詳細情報を収集するステップと、
 前記詳細情報を予め定めた分類基準に従い複数のカテゴリに分類するステップと、

前記カテゴリを前記欠陥位置と関連付けて記憶するステップと、

工程 A と工程 B の欠陥座標を比較するステップと、
 前記比較結果に基づき工程 B の欠陥をカテゴリに分類するステップと、
 第 1 の被検査物において算出した各カテゴリの不良発生率と第 2 の被検査物の
 工程 B の欠陥を分類した各カテゴリの欠陥数を用いて、第 2 の被検査物の工程 B
 の欠陥が工程 A において不良を発生せしめる数を算出するステップとを、
 含むことを特徴とする欠陥の解析方法。

【請求項 1 0】 請求項 9 に記載において、
 前記工程 A における欠陥の詳細情報の収集が、前記工程 B の欠陥座標に基づい
 て行われることを特徴とする欠陥の解析方法。

【請求項 1 1】 請求項 1 乃至 1 0 の何れか 1 項に記載において、
 前記電子回路パターンが基板上に複数個形成された半導体装置の電子回路パタ
 ーンであって、欠陥の詳細情報の収集は少なくとも 1 つ以上の半導体装置を選択
 し、前記選択された半導体装置内に存在する欠陥について全て詳細情報を収集す
 ることを特徴とする欠陥の解析方法。

【請求項 1 2】 請求項 1 乃至 1 0 の何れか 1 項に記載において、
 前記電子回路パターンが基板上に複数個形成された半導体装置であって、欠陥
 の詳細情報の収集は少なくとも 1 つ以上の半導体装置を選択し、前記選択された
 半導体装置内の予め決められた領域に存在する欠陥について全て詳細情報を収集
 することを特徴とする欠陥の解析方法。

【請求項 1 3】 請求項 1 1 または 1 2 に記載において
 前記欠陥の詳細情報の収集において、基板上の半導体装置毎または半導体装置
 の予め決められた領域毎に包含される欠陥数を計数し、前記欠陥数が少ない順番
 に欠陥の詳細情報を収集することを特徴とする欠陥の解析方法。

【請求項 1 4】 請求項 1 乃至 9 の何れか 1 項に記載において、
 前記欠陥の詳細情報の収集は欠陥の検出と同期して実行されることを特徴とす
 る欠陥の解析方法。

【請求項 1 5】 請求項 1 乃至 9 の何れか 1 項に記載において、
 前記欠陥の詳細情報の収集は、欠陥の検出と同期して実行される第 1 の詳細情
 報の収集と、前記詳細情報の分類結果に基づき選択された欠陥について実行され

る第2の詳細情報の収集とからなることを特徴とする欠陥の解析方法。

【請求項16】 請求項1乃至15の何れか1項に記載において、
前記欠陥の詳細情報は、欠陥の光学顕微鏡画像、SEM画像、材料分析波形の
いずれかであることを特徴とする欠陥の解析方法。

【請求項17】 電子回路パターンの製造工程において検出される欠陥の解
析システムであって、

欠陥位置の検出手段と、
前記欠陥に関する詳細情報の収集手段と、
前記欠陥位置と前記詳細情報の関連付け手段と、
前記被検査物の電気不良発生位置の検出手段と、
前記欠陥位置と前記電気不良発生位置の比較手段と、
前記比較結果に基づき前記詳細情報を分類して表示する手段とを、
有することを特徴とする欠陥の解析システム。

【請求項18】 請求項17に記載において、
前記詳細情報を分類して表示する手段は、代表サンプルを選択する手段と、前
記代表サンプルの特徴量を算出する手段と、前記特徴量に基づき詳細情報の分類
基準を決定する手段とを、有することを特徴とする欠陥の解析システム。

【請求項19】 電子回路パターンの製造工程において検出される欠陥の解
析システムであって、

欠陥位置の検出手段と、
前記欠陥に関する詳細情報の収集手段と、
前記欠陥位置と前記詳細情報の関連付け手段と、
前記被検査物の不良発生位置の検出手段と、
前記欠陥位置と前記不良発生位置の比較手段と、
前記比較結果に基づき前記詳細情報を分類する分類手段と、
前記分類された詳細情報の特徴量を算出する手段と、
前記特徴量に基づき詳細情報の分類基準を決定する手段とを、
有することを特徴とする欠陥の解析システム。

【請求項20】 電子回路パターンの製造工程において検出される欠陥の解

析システムであって、

欠陥位置の検出手段と、

前記欠陥に関する詳細情報の収集手段と、

前記詳細情報を予め定めた分類基準に従い複数のカテゴリに分類する分類手段と、

前記カテゴリと欠陥位置の関連付け手段と、

前記欠陥位置と前記詳細情報の関連付け手段と、

前記被検査物の電気不良発生位置の検出手段と、

前記欠陥位置と前記電気不良発生位置の比較手段と、

前記比較結果に基づき各カテゴリの不良発生率を算出する手段とを、

有することを特徴とする欠陥の解析システム。

【請求項 2 1】 請求項 1 8 または 1 9 または 2 0 に記載において、

前記分類基準を教示する手段と、前記教示結果に従い未知の欠陥の詳細情報を分類する手段とを、有することを特徴とする欠陥の解析システム。

【請求項 2 2】 電子回路パターンの製造工程において検出される欠陥の解析システムであって、

第 1 の被検査物の欠陥を検出する手段と、

前記欠陥に関する詳細情報を収集する手段と、

前記詳細情報を予め定めた分類基準に従い複数のカテゴリに分類する手段と、

前記カテゴリを前記欠陥位置と関連付けて記憶する手段と、

前記被検査物の電気テストにおける不良発生位置を検出する手段と、

前記欠陥位置と前記不良発生位置を比較する手段と、

前記比較結果に基づき各カテゴリの不良発生率を算出する手段と、

第 2 の被検査物の欠陥を検出する手段と、

前記欠陥に関する詳細情報を収集する手段と、

前記詳細情報を予め定めた分類基準に従い複数のカテゴリに分類する手段と、

第 1 の被検査物において算出した各カテゴリの不良発生率と第 2 の被検査物において分類した各カテゴリの欠陥数を用いて、第 2 の被検査物の不良発生数を算出する手段とを、

有することを特徴とする欠陥の解析システム。

【請求項 2 3】 電子回路パターンの製造工程において検出される欠陥の解析システムであって、

第 1 の被検査物の工程 A において欠陥を検出する手段と、

前記欠陥に関する詳細情報を収集する手段と、

前記詳細情報を予め定めた分類基準に従い複数のカテゴリに分類する手段と、

前記カテゴリを前記欠陥位置と関連付けて記憶する手段と、

前記被検査物の電気テストにおける不良発生位置を記憶する手段と、

前記欠陥位置と前記不良発生位置を比較する手段と、

前記比較結果に基づき各カテゴリの不良発生率を算出する手段と、

第 2 の被検査物の工程 A を含む類似工程より前の少なくとも 1 つ以上の工程 B を含む類似工程において欠陥を検出して欠陥位置を記憶する手段と、

工程 A において欠陥を検出して欠陥位置を記憶する手段と、

工程 A で検出された欠陥に関する詳細情報を収集する手段と、

前記詳細情報を予め定めた分類基準に従い複数のカテゴリに分類する手段と、

前記カテゴリを前記欠陥位置と関連付けて記憶する手段と、

工程 A と工程 B の欠陥座標を比較する手段と、

前記比較結果に基づき工程 B の欠陥をカテゴリに分類する手段と、

第 1 の被検査物において算出した各カテゴリの不良発生率と第 2 の被検査物の工程 B の欠陥を分類した各カテゴリの欠陥数を用いて、第 2 の被検査物の工程 B の欠陥が工程 A において不良を発生せしめる数を算出する手段とを、

有することを特徴とする欠陥の解析システム。

【請求項 2 4】 請求項 1 乃至 2 3 に記載の被検査物は基板上に複数個形成された半導体装置であって、請求項 1 乃至 2 3 に記載の方法またはシステムを用いたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、電子回路パターンを形成して製造される電子回路製品の欠陥解析方

法および欠陥解析システムに係り、さらに詳しくは、途中工程で発生する欠陥の電氣的致命性を判定し、電氣的致命性が高い致命欠陥を解析する、欠陥の解析手法にかかわる技術に関し、特に、半導体装置のように多数の処理工程を経て製造される電子回路製品に適用して好適な技術に関する。

【 0 0 0 2 】

【従来の技術】

半導体装置の製造は数百もの処理工程からなり、ウェハのインプットから完成までに数十日を要する。全ての処理工程は、完成段階で電氣的に正常な動作をさせることを目的に行われている。このため、途中工程で完成時に電氣的な不良に至る致命欠陥を早期に発見し、この発生を防止することが重要となる。

【 0 0 0 3 】

特開平 1 1 - 1 7 6 8 9 9 号公報には、欠陥警告方法及び欠陥警告システムが記載されている。これは、ウェハが製造工程の最後に実施されるテスト工程に達した時点で、途中工程の検査で検出された欠陥の座標とテスト工程で検出された不良の座標とを突き合わせし、テスト工程で不良となる致命欠陥が発生する工程と場所を特定して評価値を計算し、評価値があらかじめ定めたしきい値を超えた場合に警告を発生するものである。

【 0 0 0 4 】

また、特開平 8 - 2 1 8 0 3 号公報には、欠陥種別判定装置が記載されている。これは、途中工程において欠陥の画像を撮像し、欠陥画像から抽出した欠陥情報をニューロ処理ユニットの入力として与え、出力として欠陥種別を得る構成としたものである。本従来技術は、事前に各欠陥種類の代表的欠陥を見本として教示させることに特徴がある。見本の作成は、欠陥画像を人間が観察・分類して行う。ニューロ処理ユニットに入力する欠陥情報としては、欠陥画像を画像処理することにより抽出された画像特徴量が用いられる。

【 0 0 0 5 】

【発明が解決しようとする課題】

前記第 1 の従来技術では、半導体装置が完成してテスト工程を経た後でないと、致命欠陥の判定ができない。このため、欠陥の発生から対策を始めるまでに時

間を要し、不良を作りこむことが避けられないこととなる。ただし、ウェハ内の同一場所に繰り返し致命欠陥が発生する場合には、途中工程の検査で得られた座標を用いて致命欠陥の発生が検知できるが、こうした場合は限定されたケースである。

【 0 0 0 6 】

前記第 2 の従来技術は、途中工程で欠陥を画像特徴量が類似したグループに分類可能であるが、致命欠陥と非致命欠陥を正確に分類させることは困難であった。すなわち、致命欠陥を正確に分類するためには、教示する見本の作成を正確に行うことが重要となる。しかし、製造工程で発生する多様な欠陥を、人間が観察・分類して、致命欠陥の見本を正確に作成することは困難である。例えば、電気回路パターンに異物が付着している場合、全ての異物が致命欠陥となる訳ではない。すなわち、異物が導電性の物質であるか、非導電性の物質であるかによって、ショート欠陥に至る確率は大きく異なる。また、異物の高さや電気回路パターンを形成する膜厚の関係により、電気回路パターンを断線に至らしめる確率も異ってくる。これら、異物の材質や高さの情報を、人間が欠陥画像を観察して識別することは困難である。

【 0 0 0 7 】

本発明は、以上のような実情に鑑みてなされたもので、欠陥の詳細情報と電氣的致命性の関係を、客観的データ処理に基づき明らかにすることを目的としている。ここで、詳細情報とは、顕微鏡画像や SEM 画像または EDX 分析波形等であり、検出器の種類により異なる。さらに本発明は、前記詳細情報に基づき欠陥を分類することにより、途中工程で欠陥の電氣的致命性を正確に判定する手段を提供することを目的としている。本発明によれば、途中工程で致命欠陥の発生が検知でき、致命欠陥を優先的に対策することにより、不良の作りこみを最小限に食い止めることが可能となる。

【 0 0 0 8 】

【課題を解決するための手段】

上記目的を達成するため、例えば、本発明による電子回路パターンの製造工程において検出される欠陥の解析方法の 1 つの発明では、被検査物欠陥を検出して

欠陥位置を記憶するステップと、前記欠陥に関する詳細情報を収集して前記欠陥位置と関連付けて記憶するステップと、前記被検査物の電気テストにおける不良発生位置を記憶するステップと、前記欠陥位置と前記不良発生位置を比較するステップと、前記比較結果に基づき前記詳細情報を分類して表示するステップとを含むものとされ、また、例えば、本発明による電子回路パターンの製造工程において検出される欠陥の解析システムの1つの発明では、欠陥位置の検出手段と、前記欠陥に関する詳細情報の収集手段と、前記欠陥位置と前記詳細情報の関連付け手段と、前記被検査物の電気不良発生位置の検出手段と、前記欠陥位置と前記不良発生位置の比較手段と、前記比較結果に基づき前記詳細情報を分類して表示する手段とを、有する。

【0009】

上記の解決手段は、本発明の欠陥解析方法あるいは欠陥解析システムの1つの例示であって、前記した目的を達成するための他の解決手段の具体例は、以下の発明の実施の形態において明らかとなる。

【0010】

【発明の実施の形態】

以下、半導体装置の製造工程に本発明を適用した場合を例にとり、本発明の実施の形態を、図面を用いて詳細に説明する。

【0011】

図1は、本発明の1実施形態に係る欠陥解析システムの構成を示すブロック図である。同図に示すように、本実施形態の欠陥解析システムは、検査装置100、レビュー装置101、電気テスト102、致命性判定装置103、およびこれらを接続するネットワーク104等により構成されている。以下に、構成装置の説明を行う。

【0012】

検査装置100とは、ウェハ表面の異物や回路パターンの変形が存在する位置を検出して、座標データを出力する装置であり、自動ステージ、顕微鏡、リニアセンサ、画像処理装置等により構成される。検査原理について述べれば、ウェハを搭載した自動ステージを駆動して、顕微鏡の結像位置に配置されたリニアセン

サで連続的に画像を取り込み、同一形状の回路が形成された位置の画像同士を画像処理装置により比較して、明るさの異なる場所を欠陥として検出し、その座標データを出力する。出力された座標データ 1 0 5 は、ネットワーク 1 0 4 を経由して致命性判定装置 1 0 3 に送られる。

【 0 0 1 3 】

検査装置 1 0 0 の役割は、半導体装置の電氣的動作が確認できない途中工程において、回路パターンの外観から電氣的不良に至る致命欠陥の発生数を把握することである。致命欠陥数の発生を防止することにより、不良の作り込みを最小とすることができ、歩留りを向上できる。

【 0 0 1 4 】

レビュー装置 1 0 1 とは、検査装置 1 0 0 で検出された欠陥の詳細情報を収集する装置であり、自動ステージ、検出器、メモリ装置等により構成される。ここで、詳細情報とは、顕微鏡画像や SEM 画像または E D X 分析波形等であり、検出器の種類により異なる。レビュー装置 1 0 1 の動作原理について述べれば、ネットワーク 1 0 4 を経由して致命性判定装置 1 0 3 から欠陥の座標データ 1 0 5 を受け取り、ウェハを搭載した自動ステージを欠陥位置に移動させて、検出器により欠陥の詳細情報を収集して、メモリ装置に記録する。記録された詳細情報 1 0 6 は、ネットワーク 1 0 4 を経由して致命性判定装置 1 0 3 に送付される。

【 0 0 1 5 】

レビュー装置 1 0 1 の役割は、検査装置 1 0 0 で検出される欠陥から、致命欠陥を選別するための素材となる詳細情報を収集することである。すなわち、検査装置 1 0 0 で検出される欠陥には、電氣的致命性が高い致命欠陥ばかりではなく、電氣的には正常な変色や異物が含まれるため、欠陥の詳細情報に基づき致命欠陥を選別する必要がある。さらに、レビュー装置 1 0 1 の別の役割としては、詳細情報により欠陥を分類することで、欠陥の主モードを特定し、発生原因を究明する手がかりとすることがある。

【 0 0 1 6 】

レビュー装置 1 0 1 の必要性について述べれば、検査装置 1 0 0 は広い範囲を高速に検査するため、検査と同時に詳細情報を収集することが難しく、レビュー装

置 1 0 1 で再度欠陥部へ移動して、詳細情報を収集する必要がある。ただし、検査装置 1 0 0 において検出手段が切り換え可能な場合、検査装置 1 0 0 にレビュー装置 1 0 1 の機能を持たせることも可能である。さらに、レビュー装置 1 0 1 で詳細情報が収集できる欠陥数は、時間的制約により限界があるため、検査装置 1 0 0 が検査中に出力する欠陥情報を、詳細情報の代替として活用することも可能である。この場合、検査装置 1 0 0 が出力する欠陥情報は、レビュー装置 1 0 1 で収集した詳細情報と比べて情報量は劣るが、時間的遅延を要しないため全体の大まかな傾向を短時間で把握できる利点がある。本発明においては、検査装置 1 0 0 から出力された欠陥情報であっても、レビュー装置 1 0 1 により収集された詳細情報と同等に扱うことができる。また、前記検査装置 1 0 0 が出力する欠陥情報の分類結果に基づき、レビュー装置 1 0 1 で詳細情報を収集する欠陥を選択することも可能である。

【 0 0 1 7 】

電気テスト 1 0 2 は、半導体装置が完成した後に電氣的動作を確認する装置であり、自動ステージ、電気プローブ、電気回路装置等により構成される。電気テスト 1 0 2 の動作原理について述べれば、完成したウェハを自動ステージに搭載して各チップを順次電気プローブの位置に移動させ、電気プローブを各チップに接触させた状態で電圧を印加して、電気回路装置によりテストを実施する。電気テスト 1 0 2 からの出力は、半導体装置の種類により異なる。例えば、メモリ製品ではチップ単位の良否判定結果に加え、不良ビットの位置を詳細に記録したフェイルビットマップが出力可能である。一方、ロジック製品では回路パターンにおける電氣的不良位置の特定が困難であるため、チップ単位の良否判定結果のみが出力される。良否判定結果は、電氣的不良内容（カテゴリ）によって記録されるため、フェイルカテゴリマップと呼ばれる。電気テスト 1 0 2 から出力されたテスト結果 1 0 7 は、ネットワーク 1 0 4 を経由して致命性判定装置 1 0 3 に送られる。

【 0 0 1 8 】

致命性判定装置 1 0 3 は、ネットワーク 1 0 4 に接続されたコンピュータシステムであり、CPU 装置、メモリデバイス、記憶装置 1 0 8、表示装置 1 0 9、

入力装置 1 1 0 等により構成される。検査装置 1 0 0、レビュー装置 1 0 1、電気テスト 1 0 2 との情報授受の他、後述する致命性判定に関するデータ処理（サンプリング、座標突き合わせ、画像表示、画像分類、致命性評価、致命性判定）を実施し、本発明の核となる装置である。致命性判定装置 1 0 3 の動作の詳細については、以下の記述により明らかにされる。

【 0 0 1 9 】

学習装置 1 1 1 はコンピュータシステムであり、必須ではないが、人手により確認された致命性判定手続きを自動化させる働きがある。学習装置 1 1 1 は、致命性判定装置 1 0 3、検査装置 1 0 0、レビュー装置 1 0 1 等の個別装置に接続される場合や、ネットワーク 1 0 4 を経由して単独で存在する場合がある。

【 0 0 2 0 】

学習装置 1 1 1 の動作原理について、画像分類を例に説明する。学習装置 1 1 1 に搭載されたプログラムはパターン認識法として知られた方法であり、例えば「画像解析ハンドブック」（高木他，東京大学出版会；1991年，pp. 171～pp. 205，pp. 641～pp. 688）に記載がある。要約すれば、あらかじめ決められたルールに基づくルールベースの分類と教師データに基づく統計的分類に分かれる。いずれの方法においても、分類を実行する前に条件を決定する手続き（以後，学習段階と呼ぶ）が必要となる。学習段階では、人手により分類された手本画像から抽出された画像特徴量をコンピュータシステムが学習し、分類段階では、未知の画像から抽出された画像特徴量を前記学習結果と比較して、同様な画像特徴量を有するグループに分類させる。具体的には、学習段階においては、致命性判定装置 1 0 3 が記憶装置 1 0 8 から読み込んだ欠陥の画像を、表示装置 1 0 9、入力装置 1 1 0 等を用いて人手により分類し、欠陥画像と分類情報を学習装置に転送する。学習装置は画像特徴量の抽出および学習を行い、学習段階が終了する。分類段階においては、レビュー装置 1 0 1 から転送される欠陥画像を学習装置 1 1 1 に入力し、学習装置 1 1 1 から出力される分類結果および欠陥画像を記憶装置 1 0 8 に記憶する。学習装置 1 1 1 においては、学習段階での手本画像の分類が重要であり、本発明はこの手本画像の分類に対して好適である。前記装置は A D C（Automatic Defect Classification）装置として

実用化されている。

【 0 0 2 1 】

図 2 は、半導体装置の製造工程への本実施形態の適用を示している。本実施形態のシステムの解析手法は、ウェハ A (1 2 1) を対象とした準備段階と、ウェハ B (1 2 2) を対象とした活用段階とからなる。ここで、ウェハ A (1 2 1) 、 B (1 2 2) とは別のウェハを意味する代名詞であり、固有のウェハ 1 枚を意味するものではない。準備段階のウェハ A (1 2 1) は、少数でできるだけ多くの欠陥例を収集できることが望ましい。このため、1 枚よりも複数枚を用いた方が好適であり、さらに、これら複数枚のウェハは、別のロットから抜き取った方がなお良い。また、ウェハ A とウェハ B は類似プロセスで製造されていれば別品種であっても良い。

【 0 0 2 2 】

以下、ウェハ A (1 2 1) の場合を例にとって、処理工程の流れを説明する。ウェハ A (1 2 1) が製造工程にインプットされると、図 2 で○で示すプロセスが順番に実施される。プロセスは、成膜 1、3、4、露光 6、エッチング 7 の繰り返しであり、これにより回路パターンが形成される。プロセスにはこの他、イオン注入、洗浄等があるが、同図では省略している。

【 0 0 2 3 】

主なプロセスの間では、図 2 で菱形で示す検査が実施される。特に、異物を多く発生する成膜工程の後には、異物検査 2、5 が実施される。また、エッチング 7 により回路パターンが形成された後には、パターン欠陥も検出可能な外観検査 8 が実施される。検査では、ウェハ表面の異物や回路パターンの変形が自動検査装置により検出され、座標データとして出力される。自動検査装置で検出される欠陥は、必ずしも電氣的致命性が高い致命欠陥ばかりではなく、電氣的には正常な変色や異物が含まれる。このため、検出された欠陥から致命欠陥を選別することが重要となる。検査は各プロセスの前後に実施することが望ましいが、製造時間が延びることや検査コストの制約があるため、主要なプロセス後に実施される。全てのプロセスが終了した段階で電気回路が完成し、電氣的動作を確認する電気テストが実施される。

【 0 0 2 4 】

検査の目的は、ウェハが完成する前の段階で致命欠陥の発生を検知して、これを対策することにより、以後に製造されるウェハ B (1 2 2) における不良の作りこみを、最小限に食い止めることである。図 2 の更に詳細な説明は、以下の図 3 を用いて行う。

【 0 0 2 5 】

図 3 は、本実施形態の検査の実施手順を説明するフローチャートである。以下、図 3 に基づき、図 1 と図 2 を参照して実施手順を具体的に説明する。図 3 のフローチャートは、図 2 のウェハ A (1 2 1) を対象とする準備段階と、ウェハ B (1 2 2) を対象とする活用段階からなる。以下の説明では、欠陥の詳細情報として欠陥画像を例に説明する。

【 0 0 2 6 】

(1) 欠陥検査

図 3 の欠陥検査 1 3 1 は、図 2 の外観検査 8 に相当する。このとき図 2 のウェハ A (1 2 1) は、プロセス 1, 3, 4, 6, 7 および異物検査 2, 5 を経て、外観検査 8 に到達している。外観検査 8 は、エッチング処理 7 により回路パターンが形成された段階で行われるため、欠陥が回路パターンに及ぼす影響を把握することが可能である。外観検査 8 は、図 1 の検査装置 1 0 0 で実施され、出力される座標データ (欠陥マップ) は、ネットワーク 1 0 4 を経由して致命性判定装置 1 0 3 に送られ、記憶装置 1 0 8 に格納される。

【 0 0 2 7 】

(2) サンプルング

図 3 のサンプルング 1 3 2 は、詳細情報を収集すべき欠陥を、外観検査 8 の欠陥マップからサンプルングする処理である。検査装置では高速に検査をするため、ウェハ表面を粗い画素で撮像したデジタル画像が用いられる。粗い画素のデジタル画像では欠陥の有無は判定できるが、欠陥の外見を正確に識別する等の詳細情報の収集は困難である。このため、検査後に欠陥を細かい画素のデジタル画像で撮像し直す等の、詳細情報の収集が必要である。細かい画素のデジタル画像は逐次移動により撮像されるため、欠陥数に比例した時間が必要となる。一方、検

査装置により欠陥がウェハ内で数百から数千点も検出されるため、限られた時間で細かい画素のデジタル画像を撮像するには、座標点数を数十点に絞り込む必要がある。サンプリング処理は、図 1 の致命性判定装置 1 0 3 が記憶装置 1 0 8 から欠陥マップを読み込んで実施する。サンプリング処理については、後程詳細に説明する。

【 0 0 2 8 】

(3) 画像収集

図 3 の画像収集 1 3 3 は、図 2 の 8' に該当し、サンプリングされた座標を細かい画素のデジタル画像で記録する処理であり、欠陥の詳細情報収集の 1 例である。欠陥の詳細情報収集はこの他、E D X 分析波形の収集等がある。画像収集は図 1 のレビュー装置 1 0 1 で実施されるが、検査装置 1 0 0 からウェハを移載してアライメントを実施するとともに、致命性判定装置 1 0 3 からネットワーク 1 0 4 を経由してサンプリングされた座標データ 1 0 5 を受け取り、座標データを参照して欠陥位置にステージを移動して、欠陥画像を収集する。収集された欠陥画像 1 0 6 は、ネットワーク 1 0 4 を経由して致命性判定装置 1 0 3 に送られ、欠陥座標と対応付けした状態で記憶装置 1 0 8 に記憶される。

【 0 0 2 9 】

(4) 電気テスト

図 3 の電気テスト 1 3 4 は図 2 の N に該当し、ウェハ A (1 2 1) が完成後に行われる電気検査である。図 1 の電気テスト 1 0 2 で実施され、電気不良の座標データや不良チップ配置データが、ネットワーク 1 0 4 を経由して致命性判定装置 1 0 3 に送られ、記憶装置 1 0 8 に記憶される。

【 0 0 3 0 】

(5) 座標突き合わせ

図 3 の座標突き合わせ 1 3 5 は、欠陥マップと電気テストの結果とを突き合わせ、両者の一致・不一致を調べる処理であり、図 1 の致命性判定装置 1 0 3 において、記憶装置 1 0 8 から欠陥マップとテスト結果を読み込み実施される。

【 0 0 3 1 】

図 4 は突き合わせ処理の事例を示したものである。図 4 の (a) は、フェイル

カテゴリマップと欠陥マップの突き合わせ事例である。フェイルカテゴリマップでは、チップに記録されたカテゴリにより良品チップと不良チップが分類できる。例えば図4の(a)では、G(150)が良品チップ、N(151)が不良チップを表す。このため、突き合わせにより、欠陥を良品チップに含まれるグループ152と不良チップに含まれるグループ153に分類可能である。

【0032】

この結果、良品チップに含まれる欠陥グループは非致命的欠陥であるといえる。一方、不良チップに含まれる欠陥グループは、致命欠陥と非致命欠陥が存在している。不良チップに非致命欠陥が含まれる理由は、そのチップが特性不良や他の工程の欠陥が原因で不良となった可能性があるためである。不良チップに含まれる欠陥グループを致命欠陥と非致命欠陥に分類する方法は、後ほど詳述する。さらに、不良チップのカテゴリはショート、特性不良、等の不良原因別のカテゴリに細分化されるため、外観欠陥に起因する特性不良以外のカテゴリを選択して突き合わせすることにより、より正確な突き合わせが可能となる。

【0033】

図4の(b)は、フェイルビットマップと欠陥マップの突き合わせ事例である。フェイルビットマップでは正確な不良ビット位置154が記録されているため、個々の欠陥の致命性を正確に判定できる。不良ビットと欠陥が一致するかどうかの判定は、両者が予め決められた距離より近接している場合に一致しているとみなす処理をおこなう。前記距離は検査装置が出力する欠陥の座標誤差であり、予め計測可能である。前記距離は、図1の致命性判定装置103に予め登録されている。

【0034】

フェイルビットマップによる突き合わせは、個々の欠陥の致命性を正確に判定できる利点があるが、データ取得に多くの時間を要するため、全ウェハについてデータ取得することは困難である。また、ロジック製品ではデータ取得ができない。このため、フェイルカテゴリマップによる突き合わせの重要性が増してきている。以下、フェイルカテゴリマップとの突き合わせについて詳細に述べる。

【0035】

図 5 は座標突き合わせ結果の格納例である。図 1 の致命性判定装置 1 0 3 において座標突き合わせが実施され、図 5 のデータ構造として記録された状態で記憶装置 1 0 8 に記憶される。同図において、欠陥番号 1 6 0 とは、検査装置で付与された欠陥の識別番号であり、チップ座標 1 6 1 とは、欠陥が存在するチップの行列番号であり、欠陥座標 1 6 2 とは、チップ単位に定められた座標原点を始点とする欠陥の座標である。図 5 のデータ構造では、欠陥番号 1 6 0 を指定すれば、チップ座標 1 6 1 と欠陥座標 1 6 2 から欠陥位置が計算可能であり、欠陥位置へ移動することができる。

【 0 0 3 6 】

サンプリングフラグ 1 6 3 とは、前記サンプリング処理により選択された欠陥を識別するフラグであり、同図の例では、1 が選択された欠陥であり、0 が選択されなかった欠陥を示す。画像名 1 6 4 とは、レビュー装置 1 0 1 で撮像された画像の名称であり、サンプリングフラグが 1 の欠陥にのみ存在する。テスト結果 1 6 5 とは、各欠陥が属するチップの電気テストによる良否判定結果である。同図の例では、G が良品チップであり、N が不良チップである。同図の形式によれば、テスト結果が G であり、かつ、サンプリングフラグが 1 の欠陥を収集することにより、非致命欠陥の画像をグループ化できる。

【 0 0 3 7 】

(6) 画像表示

図 3 の画像表示 1 3 6 は、座標突き合わせ結果に基づき、座標と関連付けられた画像を表示する処理であり、以下の (7) を含めて本発明の第 1 のポイントである。図 1 の致命性判定装置 1 0 3 は、図 5 の座標突き合わせデータおよび欠陥画像データを記憶装置 1 0 8 から読み込み、座標突き合わせデータを参照して、欠陥画像を表示装置 1 0 9 に表示する。

【 0 0 3 8 】

図 6 は画像表示例である。図 6 の (a) は、光学式顕微鏡により撮像された欠陥画像を、撮像順に配置して表示した例である。図 6 の (b) は、人手により画像特徴から電氣的致命性を推定して、欠陥を致命と非致命に分類した例である。図 6 の (b) に示した例では、回路パターン 1 7 0 が異物 1 7 1 によりショート

している欠陥を致命、ショートしていない欠陥を非致命とした。しかし、異物が導体であるか非導体であるかを、画像から推定することは困難であり、図 6 の (b) の真偽は定かではない。図 6 の (c) は、本発明による表示例であり、図 5 の突き合わせデータに基づき、欠陥画像を分類して表示した結果である。すなわち、突き合わせデータのテスト結果が G である欠陥の画像を非致命とし、テスト結果が N である欠陥の画像を致命として表示している。図 6 の (c) の表示結果は、致命欠陥と非致命欠陥の画像特徴を判断するための指針とすることができる。以下、図 6 の (c) の表示結果の活用方法を、引き続き述べる。

【 0 0 3 9 】

(7) 画像分類

図 3 の画像分類 1 3 7 は、図 1 の致命性判定装置 1 0 3 のオペレータが表示装置 1 0 9 に表示された画像表示の結果を観察し、入力装置 1 1 0 を用いて行う操作である。操作結果は致命性判定装置 1 0 3 によって把握され、図 5 の座標突き合わせデータに新たな情報として付加され、記憶装置 1 0 8 に記憶される。

【 0 0 4 0 】

ここで、図 6 の (c) において非致命欠陥はすべて非致命であるが、致命欠陥には非致命的な欠陥が含まれることに注意を要する。即ち、特性不良や他の工程が原因で不良となったチップには、非致命欠陥が存在する可能性があるからである。そこで、致命欠陥と分類されたもののうち、例外的な欠陥を削除するか、もしくは、非致命欠陥と類似した欠陥は非致命欠陥として分類し直すことを実施する。この処理を繰り返すことにより、致命欠陥の代表サンプルを選択することができ、致命欠陥の画像特徴量のまとまりを良くできる。また、致命欠陥と非致命欠陥の画像特徴量の分離の度合いを大きくすることができ、致命欠陥を正確に分類することが可能となる。本発明による方法では、非致命欠陥として表示された結果は正解とし、致命欠陥として表示された結果のみを修正する事に特徴がある。

【 0 0 4 1 】

次に、図 6 の (c) と (d) を用いて、本発明による画像分類の実施例およびその効果について詳細に説明する。図 6 の (c) と (d) は例外的な欠陥 1 7 2 を削除した例を示している。欠陥画像を消去する代わりに、非致命欠陥の領域に

移動させてもよい。

【 0 0 4 2 】

図 6 の (c) の非致命欠陥の画像を観察すると、異物がショートしているにもかかわらず非致命となっている欠陥 1 7 6 が存在する。このため、この工程では異物が必ずしも導体であるとは限らないことがわかる。一方、異物の明るさを観察すると、非致命欠陥には暗い異物 (図 6 中では黒ベタで示す) 1 7 7 が存在していないことがわかる。このため、図 6 の (d) では致命欠陥を暗い異物のグループ、非致命欠陥を明るい異物 (図 6 中ではハッチングで示す) 1 7 8 のグループとした。

【 0 0 4 3 】

図 6 の (d) で形成された異物グループの意味を図 8 に基づき説明する。図 8 は暗い異物 1 7 7 と明るい異物 1 7 8 の断面図である。光学画像において異物の明るさは異物の高さと同関があることが知られている。すなわち、高さを持つ異物は照明光が強く散乱するため暗く、低い異物は散乱の度合いが低いため明るく撮像される。図 8 の (a) の暗い異物 1 7 7 は高さを持つため絶縁層 1 7 9 を突き破り配線と下地配線 1 8 0 をショートまたは断線させるため致命欠陥となることがわかる。これに対し、図 8 の (b) の明るい異物 1 7 8 は高さが低いため、絶縁層 1 7 9 が異物上を覆い、下地配線 1 8 0 とショートすることはない、非致命欠陥となることがわかる。

【 0 0 4 4 】

上記の例はほんの 1 例であるが、半導体装置の製造プロセスで発生する欠陥は多様であり、画像特徴も多岐にわたる。このため、欠陥の致命性を画像特徴から推定する場合、どの画像特徴に着目すべきかを決定することが困難である。一方、本発明による画像表示では、欠陥の致命性を判定するに際し、どの画像特徴に着目すべきかの指針を獲得することができるため、より正確な致命性判定が可能となる。

【 0 0 4 5 】

図 7 は上記の画像分類結果が記録された事例である。図 7 は図 5 のデータに画像分類の項目 1 7 4 が付加されている。以下、欠陥画像を消去した場合について

説明する。画面上の欠陥がポインティングデバイス等で指定されると、該当する欠陥番号が図 1 の致命性判定装置 1 0 3 により識別される。画像の消去機能が選択されるとメモリデバイス上に読み込まれていたサンプリングフラグ 1 6 3 が 1 から 0 に書き換えられる 1 7 5。同図では欠陥番号 9 の欠陥が消去されたことを示す。

【 0 0 4 6 】

(8) 致命性評価

図 3 および図 2 の致命性評価 1 4 1 は、画像分類でオペレータが分類した結果が致命性を反映して正しく分類されたか否かを評価する処理であり、本発明の第 2 の重要なポイントである。図 1 の致命性判定装置 1 0 3 においてメモリデバイス上に読み込まれた図 7 の分類データに基づき致命性が評価され、結果が表示装置 1 0 9 に表示される。オペレータは表示結果を確認して、画像分類のやり直しか終了かを判断したり（図 3 の画像再分類要否 1 3 9）、欠陥画像による致命性判定の可否を判断する（図 3 の致命判定可否 1 4 0）。

【 0 0 4 7 】

欠陥の致命性の評価は例えば、以下の致命率 KR によりできる。同式の定義では KR が 1 に近いほど致命性が高く、0 に近いほど致命性が低くなる。

【 0 0 4 8 】

$$KR = N_N / N_0 \quad \dots\dots (1) \text{ 式}$$

ロジック製品の場合、(1) 式における N_N は欠陥が存在する不良チップ数、 N_0 は欠陥が存在するチップ数である。メモリ製品の場合、(1) 式における N_N はフェイルビットマップの不良個所と一致する欠陥数、 N_0 は欠陥数である。以下の説明では、ロジック製品を例に取り説明する。

【 0 0 4 9 】

まず、画像分類のやり直しか終了かを判断する例を説明する。すなわち、致命欠陥と非致命欠陥が正しく分類されたか否かを、以下に記載するそれぞれの致命率に基づき判断する。

【 0 0 5 0 】

$$KR1 = N_{N1} / N_{01} \quad \dots\dots (2) \text{ 式}$$

$$K R 2 = N_{N2} / N_{02} \quad \dots\dots (3) \text{ 式}$$

ここで、致命欠陥の致命率 $K R 1$ は、致命欠陥が存在する不良チップ数を N_{N1} とし、致命欠陥が存在するチップ数を N_{01} としたときの致命率を意味し、非致命欠陥の致命率 $K R 2$ は、非致命欠陥が存在する不良チップ数を N_{N2} とし、非致命欠陥が存在するチップ数を N_{02} としたときの致命率を意味する。

【 0 0 5 1 】

例えば、図 7 において $K R$ 、 $K R 1$ 、 $K R 2$ を計算すると、

$$K R = 2 / 4 = 0.5$$

$$K R 1 = 2 / 2 = 1.0$$

$$K R 2 = 1 / 3 = 0.33$$

上記のようになる。

【 0 0 5 2 】

すなわち、致命欠陥と非致命欠陥が正しく分類された状態では、 $K R 1$ は致命欠陥と非致命欠陥が混在した状態で計算された $K R$ に比べて 1 に近づき、 $K R 2$ は $K R$ に比べて 0 に近づく。このため、 $K R 1$ および $K R 2$ を $K R$ と比較することにより画像による致命性判定の有効性を確認できる。 $K R 1$ および $K R 2$ は図 1 の致命性判定装置 1 0 3 において計算され表示装置 1 0 9 に表示され、オペレータは表示結果を確認して、画像分類のやり直しを完了かを判断する。画像分類のやり直しをしても $K R 1$ および $K R 2$ が理想値に近づかない場合は、欠陥画像による致命性の判定が困難な工程であると判断し、画像による致命性判定を中止する。

【 0 0 5 3 】

図 9 は致命率の計算結果である。図 9 の (a) は、図 6 の (b) の結果に基づき致命率を算出した結果であり、同図の横軸は欠陥カテゴリ 1 9 0、縦軸は致命率 1 9 1 である。参考のため、全欠陥の致命率 $K R$ (1 9 2) を併記した。ここでは、全欠陥の致命率 1 9 2 が 0.5 で、致命率の最大値は 1.0 であることを表している。致命欠陥の致命率 $K R 1$ (1 9 4) および非致命欠陥の致命率 $K R 2$ (1 9 5) が $K R$ (1 9 2) と変わらないこと、および $K R 1$ (1 9 4) が最大値 (1 9 3) より小さいことから、図 6 の (b) の結果は欠陥の致命性を反映

していないことが判る。一方、図 9 (b) は図 6 (d) の結果に基づき致命率を算出した結果である。図 6 (d) の結果は、欠陥座標と電気テストの突き合わせ結果に基づき、画像特徴量を指針として代表サンプルを選んだ結果である。前記手順は再現性がある。図 9 (b) の結果を見ると、KR 1 (195) が 1.0 であり、妥当な分類がなされていることが判る。

【 0 0 5 4 】

以上、本発明によれば、画像分類の結果により致命性が正確に判断できているか否かが定量的に把握できる。この結果、画像分類のやり直しか終了かを把握でき、効率的な欠陥解析が可能となる。さらに、欠陥画像による致命性判定が困難な工程であるか否かが判断できるため、無駄な欠陥解析作業を中止することが可能となる。

【 0 0 5 5 】

ここで、ロジック製品の場合、上記致命率の計算式としては前記 (1) 式の代わりに S.Hall, M.Delgado, et al.: "Yield monitoring and analysis in semiconductor manufacturing" セミコン関西セミナー' 97, pp. 4 / 42 ~ 4 / 47 (1997) に記載された数式を用いても良い。

【 0 0 5 6 】

(9) 致命性判定

図 3 および図 2 の致命性判定 141 は、図 1 の致命性判定装置 103 により実施される。ウェハ A (121) を対象とした準備段階が終了し、致命性評価 138 の結果に基づき致命性判定が可能と判断された場合、ウェハ B (122) を対象とした活用段階に移る。

【 0 0 5 7 】

以下、図 2 に基づき、具体的に説明する。ウェハ A (121) の電気テストが終了した段階で、外観検査 8 に到達していないウェハがウェハ B (122) の対象となる。準備段階では、外観検査 8 の工程において致命欠陥の画像特徴が特定されている。このため、ウェハ B (122) が外観検査 8 に到達した段階で、欠陥の画像を収集し、前記画像特徴にしたがって致命欠陥を分類することができる。さらに、前記分類された各カテゴリの致命率が判明している。本発明では、前

記画像特徴が実際の電気テスト結果と相関付けられていること、および相関の度合いが致命率として定量的に把握できることに特徴がある。この結果、従来のウェハ A (1 2 1) ではウェハ完成後に判明していた欠陥の致命性を、ウェハ B (1 2 2) では、途中工程の外観検査 8 の段階で判定できる。したがって、外観検査 8 の段階で致命欠陥の発生を把握でき、不良の作り込みの防止に早期に着手できる。

【 0 0 5 8 】

以下、図 1 0 を用いて致命性判定手順および判定結果の活用方法について具体的に述べる。図 1 0 の (b) は図 2 の外観検査 8 で致命欠陥を分類した結果の活用例である。外観検査 8 では異物検査 2、5 等の成膜工程後に実施される検査で検出された異物が回路パターンにおよぼす影響を把握することができる。この影響を把握することにより、対策すべき工程を効率的に絞り込むことができる。図 1 0 の (b) の横軸は検査工程であり、左の縦軸は欠陥数 2 0 0 であり、右の縦軸は歩留り影響 2 0 1 である。同図の棒グラフは欠陥数をあらわし、折れ線グラフは歩留り影響をあらわす。以下、図 1 0 の (b) の結果を得る手段、図 1 0 の (b) の効果について順番に説明する。

【 0 0 5 9 】

図 1 0 の (b) は以下の手順によって得られた。ウェハ B (1 2 2) は異物検査 a ~ 1 (2 0 2) を経て外観検査 m (2 0 3) に到達した状態にある。まず、外観検査 2 0 3 で検出された欠陥の光学顕微鏡画像を収集して、A D C 装置装置により致命欠陥と非致命欠陥に分類する。次に、図 1 0 の (a) に示す様に、異物検査 a ~ 1 (2 0 2) の欠陥座標と外観検査で A D C を実施した欠陥座標の突き合わせ処理を実行する。2 つの異物検査結果と外観検査結果が突き合った場合、先に実施されている異物検査のみをカウントする。以上の手順により、得られた結果をまとめたものが図 1 0 の (b) である。図 1 0 の (b) の外観検査 m に表示されている 4 7 欠陥は前記処理により異物検査と欠陥座標が突き合った欠陥の総数である。また、異物検査 a ~ 1 に記載された欠陥数は、各工程で最初に突き合った欠陥数であり、A D C の分類結果を参照することにより致命欠陥と非致命欠陥に分類されている。

【 0 0 6 0 】

図 1 0 の (b) の効果について以下に述べる。まず、工程 f (2 0 4) および工程 h (2 0 5) が 9 個と他の工程に比べて欠陥総数が多いことがわかる。しかし、ここで欠陥の致命率が考慮されていないことに注意されたい。すなわち、致命率が低い非致命欠陥が多い場合と、致命率が高い致命欠陥が多い場合では、歩留りに及ぼす影響が大きくことなる。すなわち、歩留りへの影響を定量的に把握して歩留りへの影響が大きな工程を優先的に対策することにより、不良の作りこみを最小として歩留りを早期に向上できる。本発明は、A D C に基づくカテゴリ別欠陥数およびカテゴリ別致命率を用いて下記式により精度の高い歩留まり影響が算出できること、および、前記処理が電気テストに至る前段階で実施できるため、従来に比べて外観検査 (2 0 2) から電気テスト (2 0 6) までの N 日間 (通常、1 0 日 ~ 9 0 日であり、外観検査工程により異なる) の迅速化が可能となる。

【 0 0 6 1 】

【数 1】

$$P D L = \sum_{i=1}^i (P D L i)$$

$$P D L i = K R i * N i \quad \dots \dots (4) \text{ 式}$$

上記 (4) 式の計算により、欠陥総数が同一である工程 f と h を比較すると、致命欠陥数が多い工程 f の歩留まり影響が最も高く、問題工程であることが定量的に把握できる。

【 0 0 6 2 】

上記の例はウェハ A とウェハ B が同一品種である場合について述べたが、これらは製造方法が類似していれば別品種であっても構わない。半導体装置を例にとれば、類似処理プロセスにより異なる品種を製造することが頻繁に行われる。欠陥はプロセスに特有であることが多いため、ある品種のウェハ A によりであらかじめ致命欠陥の分類基準を明らかにしておけば、類似処理プロセスにより製造さ

れるウェハBは製造開始から致命欠陥を正確に判定することが可能となる。

【0063】

次に、図1の致命性判定装置103において致命性判定を実施する手順を、以下に述べる。ウェハA(121)による準備段階では、図6の(d)のような、致命欠陥と非致命欠陥の代表的画像が特定できている。このため、これら代表画像を表示装置109に表示する。一方、ウェハB(122)の検査8において収集された欠陥画像を、表示装置109に順次表示して、前記代表画像と見比べることにより、致命または非致命的フラグを入力装置110により付与し、致命欠陥を分類できる。前記手動による分類作業は、学習装置111により自動化することができる。学習装置111に対して、図6の(d)の代表画像を教師データとして学習させることにより、前記分類作業を自動化できる。すなわち、学習段階においては、図6の(d)のような致命欠陥と非致命欠陥の代表的画像から画像特徴量を抽出し、学習装置111により学習を行う。この結果、致命欠陥および非致命欠陥を、それぞれ画像特徴量が類似したいくつかのグループに分類できる。活用段階においては、ウェハB(122)の検査8において収集された欠陥画像を、レビュー装置101から致命性判定装置103に転送して、欠陥画像から画像特徴量を抽出して、学習結果に基づき欠陥の致命性判定を行う。致命性判定結果と欠陥画像は、記憶装置108に記憶される。

【0064】

本発明は、画像を収集した欠陥を対象とした処理であるため、どの欠陥の画像を収集するかを決めるサンプリングが重要となる。図11により、本発明によるサンプリングの詳細を説明する。

【0065】

図11の(a)は致命性評価をロジック製品が形成されたウェハ上のランダム欠陥に対して実施する場合に好適なサンプリングである。検査結果に対してクラスタリング処理を実施し、欠陥密集部210を識別し除外する。クラスタリング処理とは、欠陥密集部を欠陥座標により認識する処理であり、例えば、特開平6-61314号公報に、半導体ウェハ上の欠陥集積回路の特徴付け方法として記載されている。次に、ランダム欠陥211に対して、チップ単位212にレビュ

一欠陥 2 1 3 をサンプリングする。本方式では、サンプリングをチップ単位に実施することに特徴がある。すなわち、ロジック製品における致命性評価では、チップ単位に致命欠陥の有無を判定する必要があるため、チップ単位に全欠陥の画像を収集して、致命欠陥の有無を保証する必要があるためである。また、致命性評価においては、多くのチップ数を用いた方が有利であり、チップ内の欠陥数が少ないチップ順に、サンプリングすることが好適である。

【 0 0 6 6 】

図 1 1 の (b) は、図 1 0 で示したような、問題工程特定において好適なサンプリングである。問題工程を特定するためには、あらかじめ前工程で検査を実施しておき、それらの欠陥座標と致命欠陥との一致度を調べる必要がある。逆に、事前に検出されていない致命欠陥を多く検出しても、対策の絞込みに活用することができない。図 1 1 の (b) では、検査 2 および検査 5 の欠陥座標の論理和をとり、その結果に基づきサンプリングを行っている。この結果、致命性判定の結果を、検査 2 または検査 5 の工程に反映させることが可能となり、問題工程の絞込みを効率的に行うことができる。

【 0 0 6 7 】

なお、上述してきた実施形態では、ウェハ A (1 2 1) のテスト結果が判明した後に、分類基準を決定する事例を記載したが、ウェハ A (1 2 1) の画像から致命欠陥を推定し、ウェハ A (1 2 1) が電気テストに到達する以前に分類基準を暫定的に定め、ウェハ A (1 2 1) が電気テストに到達した時点で、上述した実施形態に従い分類基準を見直しても良い。

【 0 0 6 8 】

さらに、準備段階であるウェハ A (1 2 1) を省略し、活用段階であるウェハ B (1 2 2) のみを実施しても良い。欠陥の詳細情報から致命欠陥が明確に判別できる場合、電気テストに至る前に、欠陥の詳細情報から致命性を判定して、図 1 0 に示すような致命欠陥数を活用した欠陥解析が可能となる。

【 0 0 6 9 】

以上、本発明による第 1 の特徴は、半導体製造プロセスで発生する様な多様な欠陥においても、その致命性を判定するに際し、どの詳細情報に着目して判定す

べきかの指針を獲得することができるため、より正確な致命性判定が可能となることである。すなわち、欠陥の詳細情報と電氣的致命性の関係が客観的データ処理に基づき明らかにされるため、致命欠陥を正確に分類する分類基準が提供される。

【 0 0 7 0 】

本発明による第 2 の特徴は、致命欠陥が正確に把握できているか否かが定量的に把握できるため、致命欠陥判定のやり直しを完了かを把握でき、効率的な欠陥解析が可能となることである。さらに、欠陥の詳細情報による致命性判定が困難であるか否かが判断できるため、無駄な欠陥解析作業を中止することが可能となり、効率的な欠陥解析を行うことができる。

【 0 0 7 1 】

本発明による第 3 の特徴は、従来はウェハ完成後に判明していた欠陥の致命性を途中工程の外観検査の段階で判定できることである。したがって、電氣的致命性が高くかつ発生頻度が高い歩留りを低下させる要因が最も高い欠陥を優先的に解析することにより、不良の作り込みの防止に早期に着手できる。

【 0 0 7 2 】

本発明による第 4 の特徴は、欠陥の詳細情報が実際の電気テスト結果と相関付けられていること、および相関の度合いが致命率として定量的に把握できることである。この結果、従来はウェハ完成後に判明していた歩留りを完成前の段階で把握することができ、納期までに必要な良品数を確保できるか否かが早期に判断可能となる。この結果、生産投入量を増加させる等の策をとることにより、販売の機会損失を未然に防止できる。

【 0 0 7 3 】

以上を要約すれば、本発明によれば、被検査物の完成段階で判明する不良を製造過程において検出された欠陥から推定することができ、重大な欠陥の発生防止を完成後の最終検査を待つことなく実行でき、ひいては被検査物の歩留りを早期に向上できる。

【 0 0 7 4 】

【発明の効果】

以上のように本発明によれば、被検査物の完成段階で判明する不良を製造過程において検出された欠陥から推定することにより、重大な欠陥の発生防止を完成後の最終検査を待つことなく実行でき、以って、被検査物の歩留りを早期に向上できる。

【図面の簡単な説明】

【図 1】

本発明の 1 実施形態に係る欠陥解析システムの構成を示すブロック図である。

【図 2】

本発明の 1 実施形態における、半導体装置の製造工程の流れの 1 例を示す説明図である。

【図 3】

本発明の 1 実施形態における、欠陥解析の実施手順例を示すフローチャート図である。

【図 4】

突き合わせ処理の事例を示す説明図である。

【図 5】

座標突き合わせ結果の格納例を示す説明図である。

【図 6】

欠陥画像の表示例を示す説明図である。

【図 7】

図 6 の格納項目に、画像分類の項目が付加された例を示す説明図である。

【図 8】

暗い異物と明るい異物の断面図である。

【図 9】

致命率の算出例を示す説明図である。

【図 1 0】

半導体装置の製造工程における実施結果の 1 例を示す説明図である。

【図 1 1】

サンプリング処理の例を示す説明図である。

【符号の説明】

- 1 成膜
- 2 異物検査
- 3 成膜
- 4 成膜
- 5 異物検査
- 6 露光
- 7 エッチング
- 8 外観検査
- 8' 画像収集
- N 電気テスト
- 1 0 0 検査装置
- 1 0 1 レビュー装置
- 1 0 2 電気テスト
- 1 0 3 致命性判定装置
- 1 0 4 ネットワーク
- 1 0 5 欠陥座標
- 1 0 6 欠陥の詳細情報
- 1 0 7 テスト結果
- 1 0 8 記憶装置
- 1 0 9 表示装置
- 1 1 0 入力装置
- 1 1 1 学習装置
- 1 2 1 ウェハ A
- 1 2 2 ウェハ B
- 1 3 0 開始
- 1 3 1 欠陥検査
- 1 3 2 サンプリング
- 1 3 3 画像収集

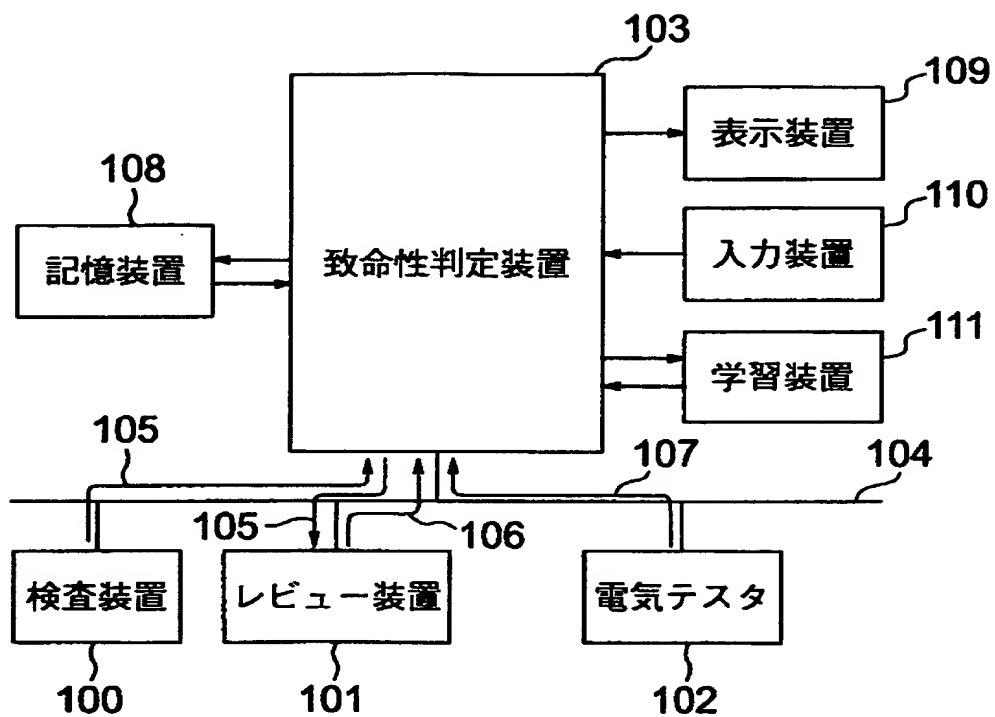
- 1 3 4 電気テスト
- 1 3 5 座標突き合わせ
- 1 3 6 画像表示
- 1 3 7 画像分類
- 1 3 8 致命性評価
- 1 3 9 画像再分類要否
- 1 4 0 致命判定可否
- 1 4 1 致命性判定
- 1 4 2 終了
- 1 5 0 良品カテゴリ
- 1 5 1 不良カテゴリ
- 1 5 2 良品チップに含まれるグループ
- 1 5 3 不良チップに含まれるグループ
- 1 5 4 FBM不良ビット位置
- 1 6 0 欠陥番号
- 1 6 1 チップ座標
- 1 6 2 欠陥座標
- 1 6 3 サンプリングフラグ
- 1 6 4 画像名称
- 1 6 5 テスト結果
- 1 7 0 回路パターン
- 1 7 1 異物
- 1 7 2 選択された画像
- 1 7 3 欠陥画像が消去された状態
- 1 7 4 画像分類
- 1 7 5 消去されたサンプリングフラグ
- 1 7 6 異物がショートしているが非致命的な欠陥
- 1 7 7 暗い異物
- 1 7 8 明るい異物

- 1 7 9 絶縁層
- 1 8 0 下地配線
- 1 9 1 致命率
- 1 9 2 全欠陥の致命率 K R
- 1 9 3 致命率の最大値
- 1 9 4 致命欠陥の致命率 K R 1
- 1 9 5 非致命欠陥の致命率 K R 2
- 1 9 6 致命欠陥の致命率 K R 1
- 2 0 0 欠陥数
- 2 0 1 歩留り影響
- 2 0 2 異物検査
- 2 0 3 外観検査
- 2 0 4 工程 f
- 2 0 5 工程 h
- 2 1 0 欠陥密集部
- 2 1 1 ランダム欠陥
- 2 1 2 サンプルングされたチップ
- 2 1 3 サンプルングされた欠陥

【書類名】 図面

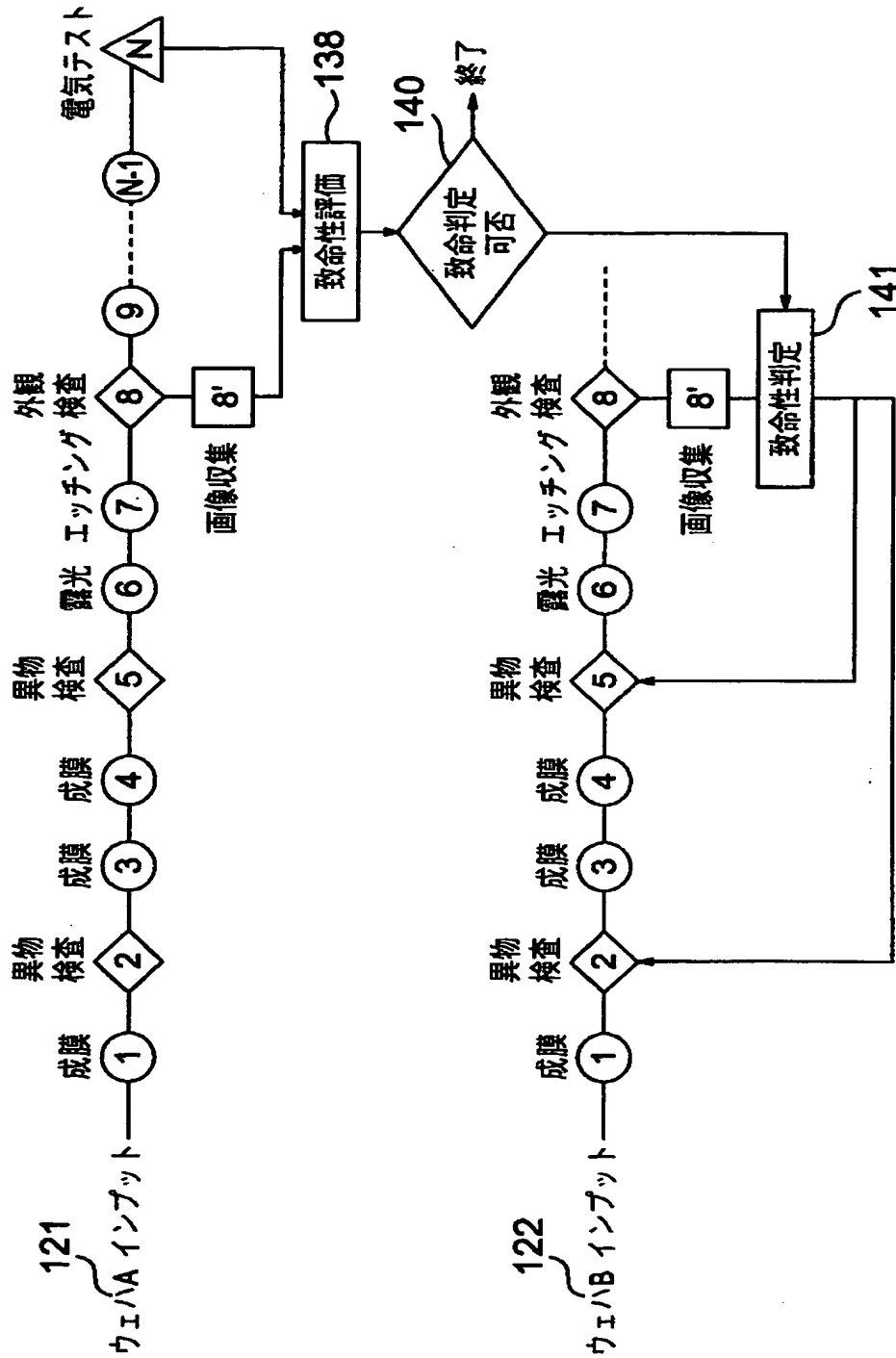
【図 1】

図 1



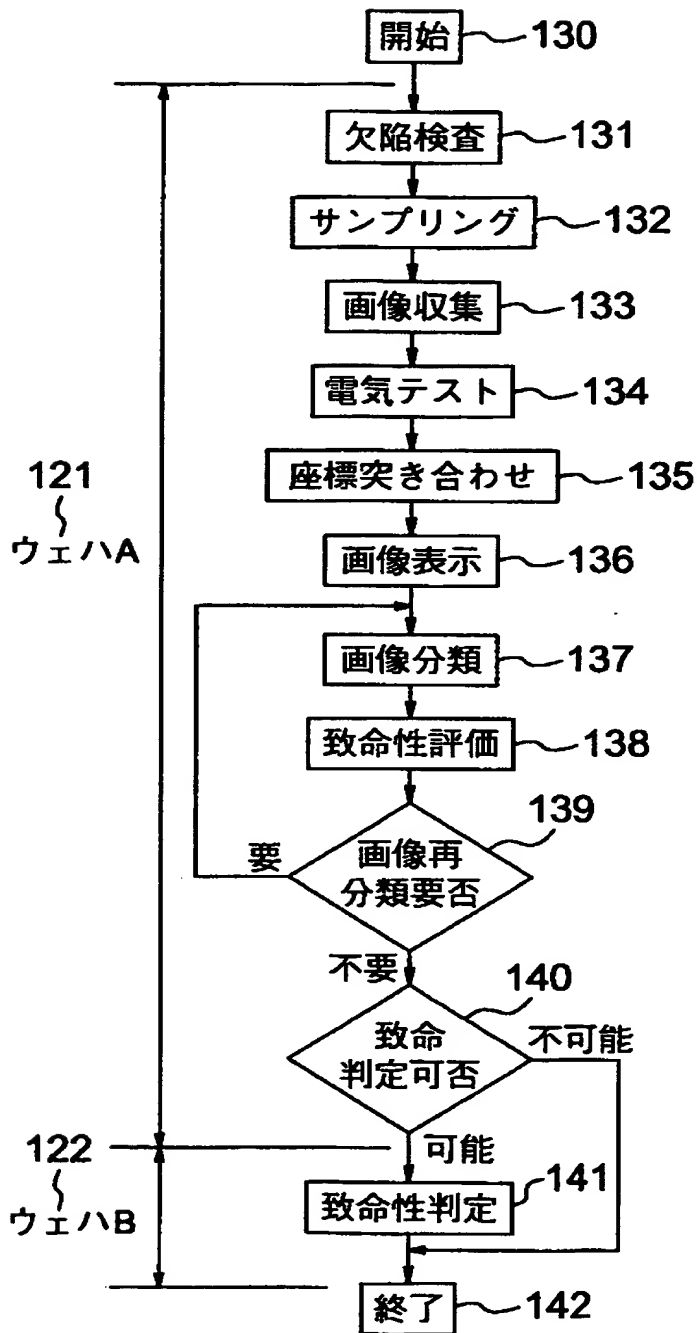
【図2】

図 2



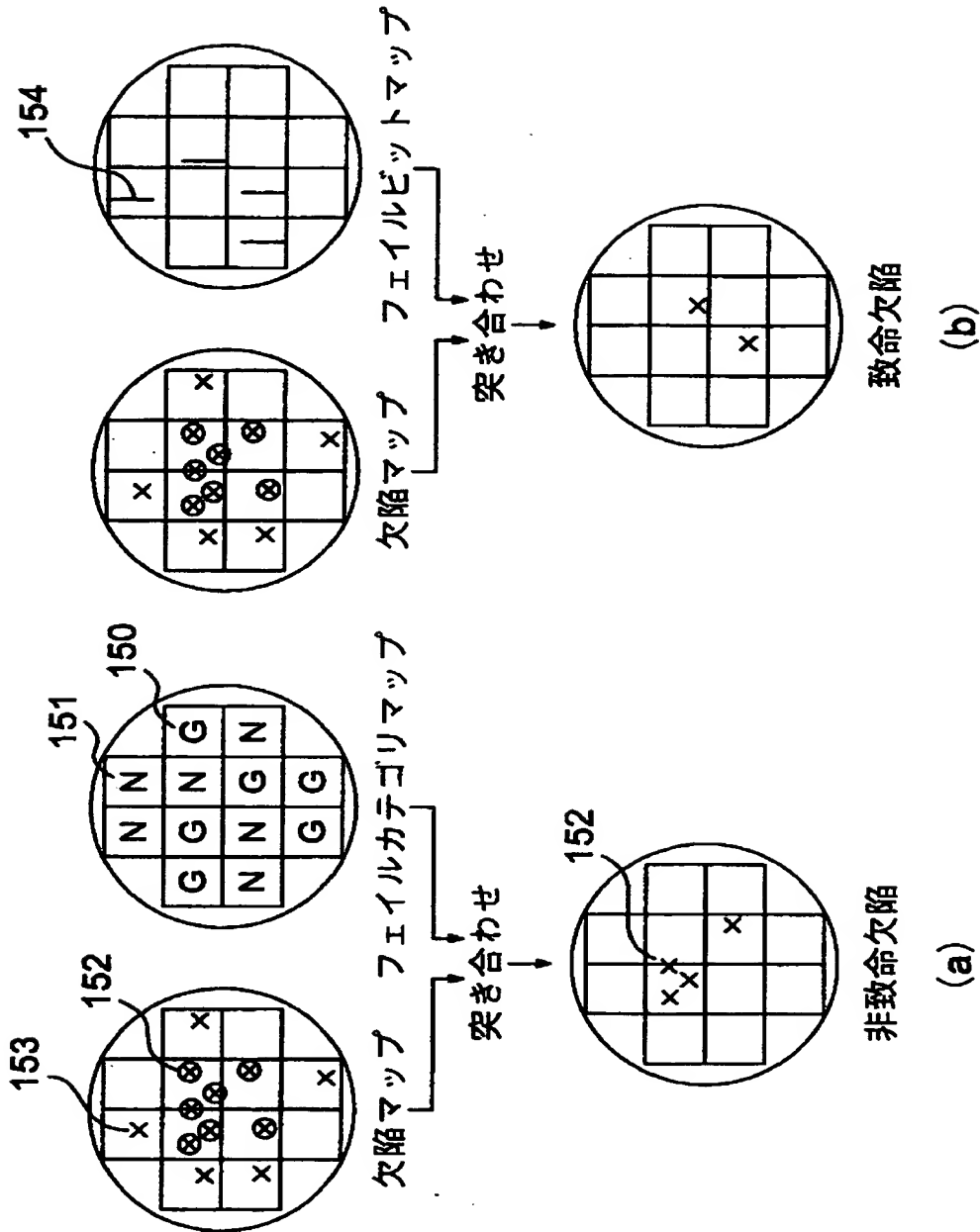
【図 3】

図 3



【図4】

図 4



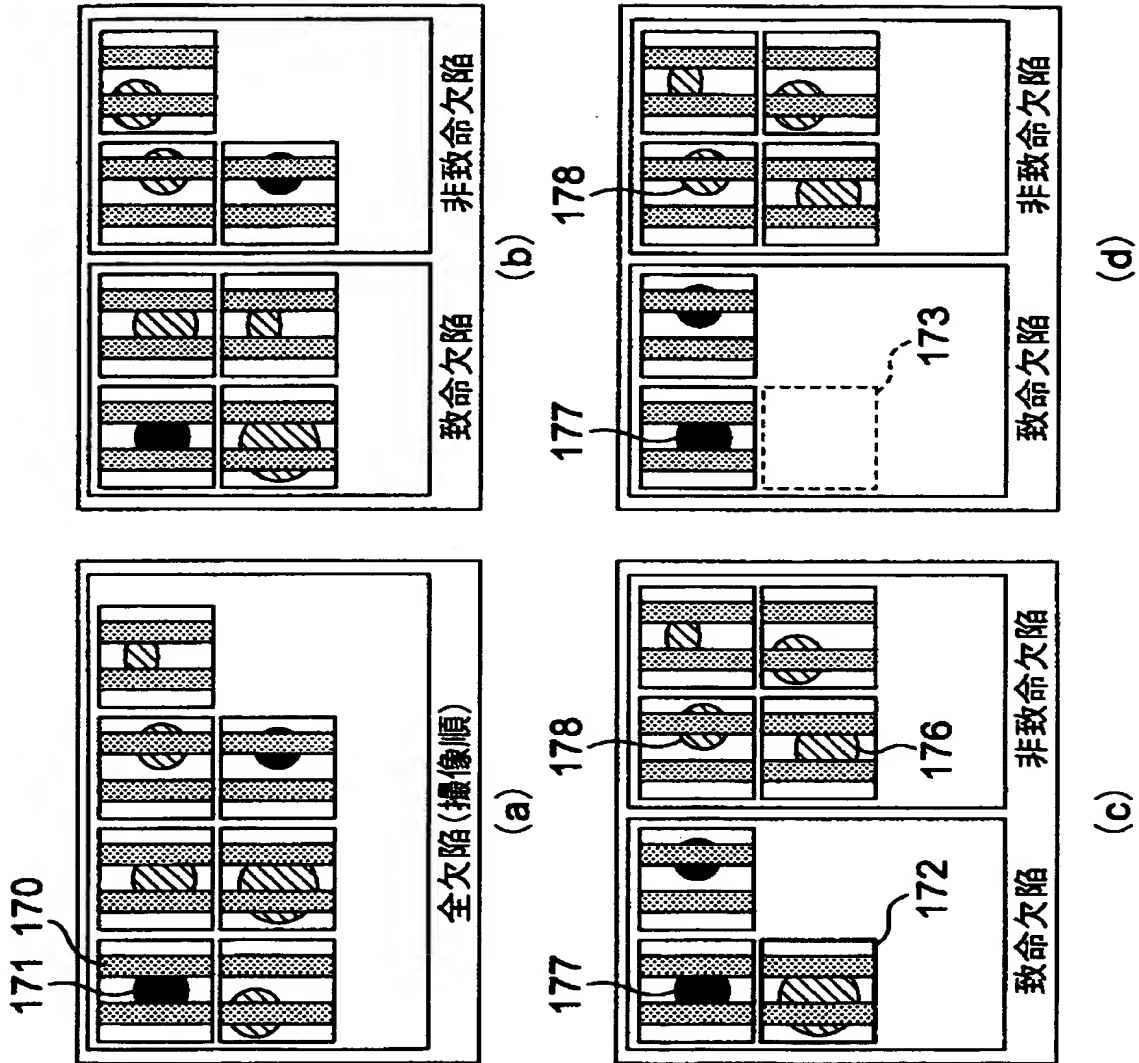
【図 5】

図 5

160 欠陥番号	161 チップ番号	162 欠陥座標	163 サンプリングフラグ	164 画像名称	165 テスト結果
1	(2,0)	($\Delta X1, \Delta Y1$)	0		G
2	(0,1)	($\Delta X2, \Delta Y2$)	0		G
3	(1,1)	($\Delta X3, \Delta Y3$)	1	image3	N
4	(2,1)	($\Delta X4, \Delta Y4$)	1	image4	N
5	(0,2)	($\Delta X5, \Delta Y5$)	0		G
6	(1,2)	($\Delta X6, \Delta Y6$)	1	image6	G
7	(1,2)	($\Delta X7, \Delta Y7$)	1	image7	G
8	(1,2)	($\Delta X8, \Delta Y8$)	1	image8	G
9	(2,2)	($\Delta X9, \Delta Y9$)	1	image9	N
10	(2,2)	($\Delta X10, \Delta Y10$)	1	image10	N
11	(3,2)	($\Delta X11, \Delta Y11$)	0		G
12	(1,3)	($\Delta X12, \Delta Y12$)	0		N

【図6】

図 6



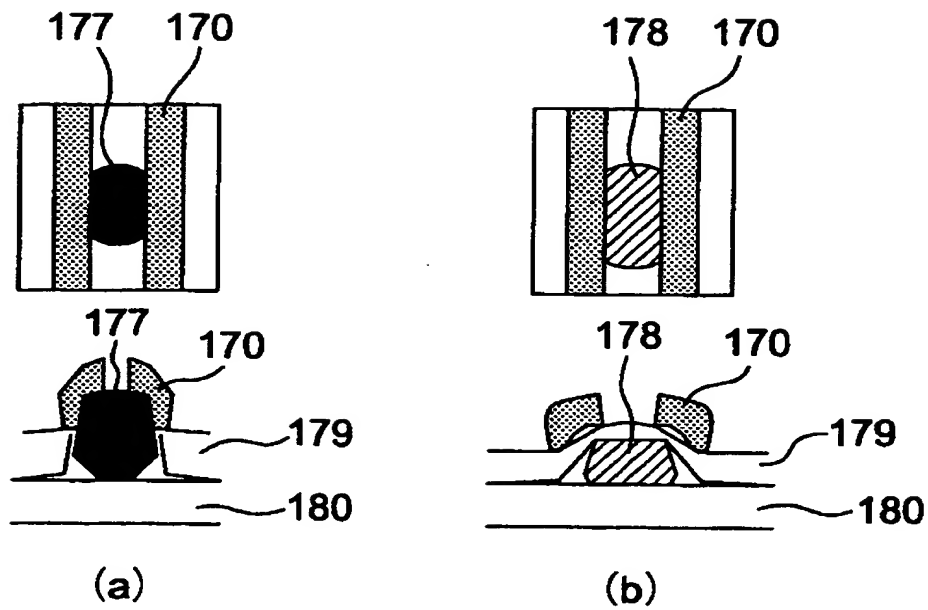
【図 7】

図 7

欠陥番号	チップ番号	欠陥座標	サンプリングフラグ	画像名称	テスト結果	画像分類
1	(2,0)	($\Delta X1, \Delta Y1$)	0		G	G
2	(0,1)	($\Delta X2, \Delta Y2$)	0		G	G
3	(1,1)	($\Delta X3, \Delta Y3$)	1	image3	N	N
4	(2,1)	($\Delta X4, \Delta Y4$)	1	image4	N	N
5	(0,2)	($\Delta X5, \Delta Y5$)	0		G	G
6	(1,2)	($\Delta X6, \Delta Y6$)	1	image6	G	G
7	(1,2)	($\Delta X7, \Delta Y7$)	1	image7	G	G
8	(1,2)	($\Delta X8, \Delta Y8$)	1	image8	G	G
9	(2,2)	($\Delta X9, \Delta Y9$)	0	image9	N	N
10	(2,2)	($\Delta X10, \Delta Y10$)	1	image10	N	N
11	(3,2)	($\Delta X11, \Delta Y11$)	0		G	G
12	(1,3)	($\Delta X12, \Delta Y12$)	0		N	N

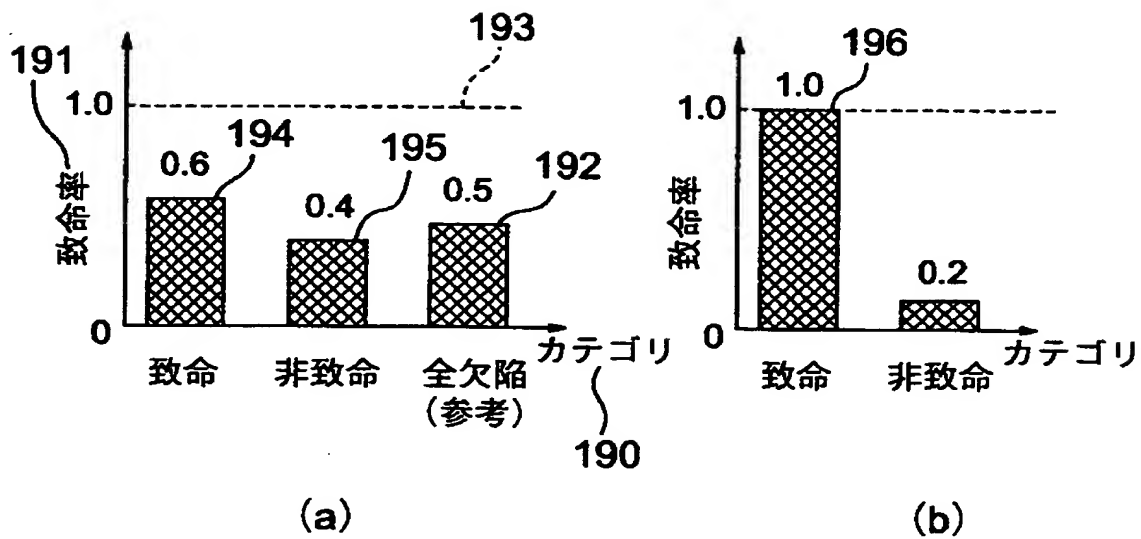
【図8】

図 8



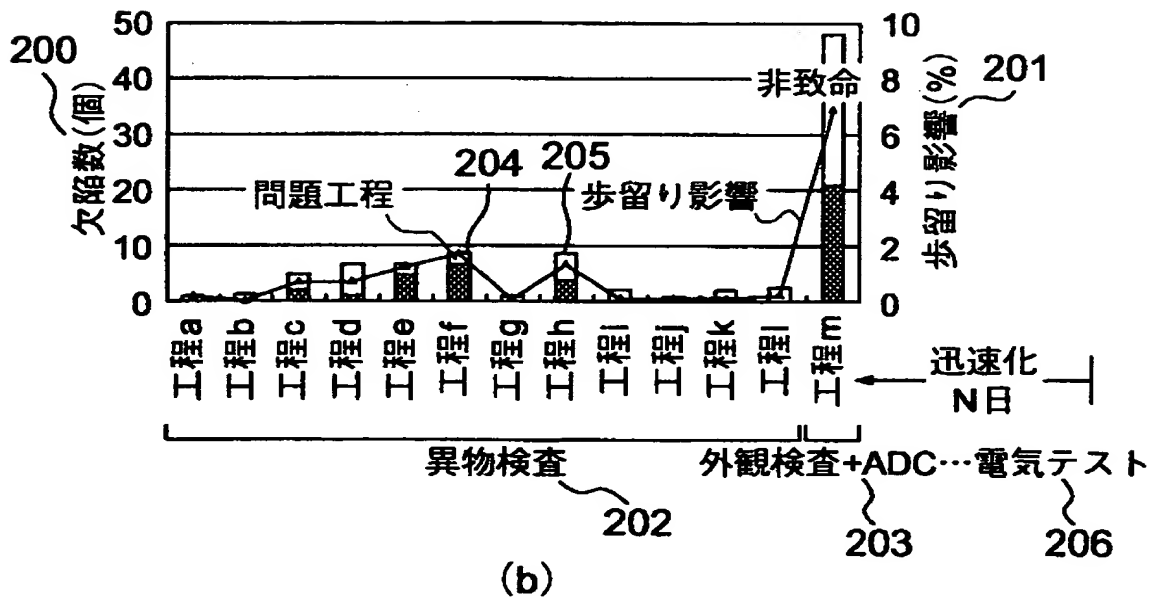
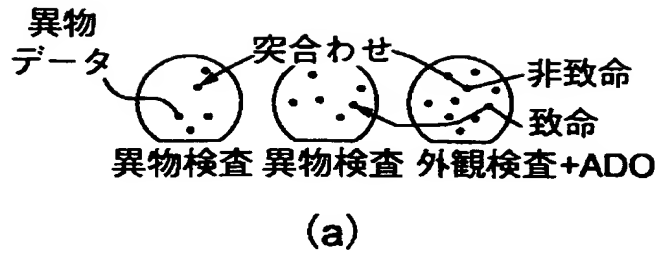
【図9】

図 9



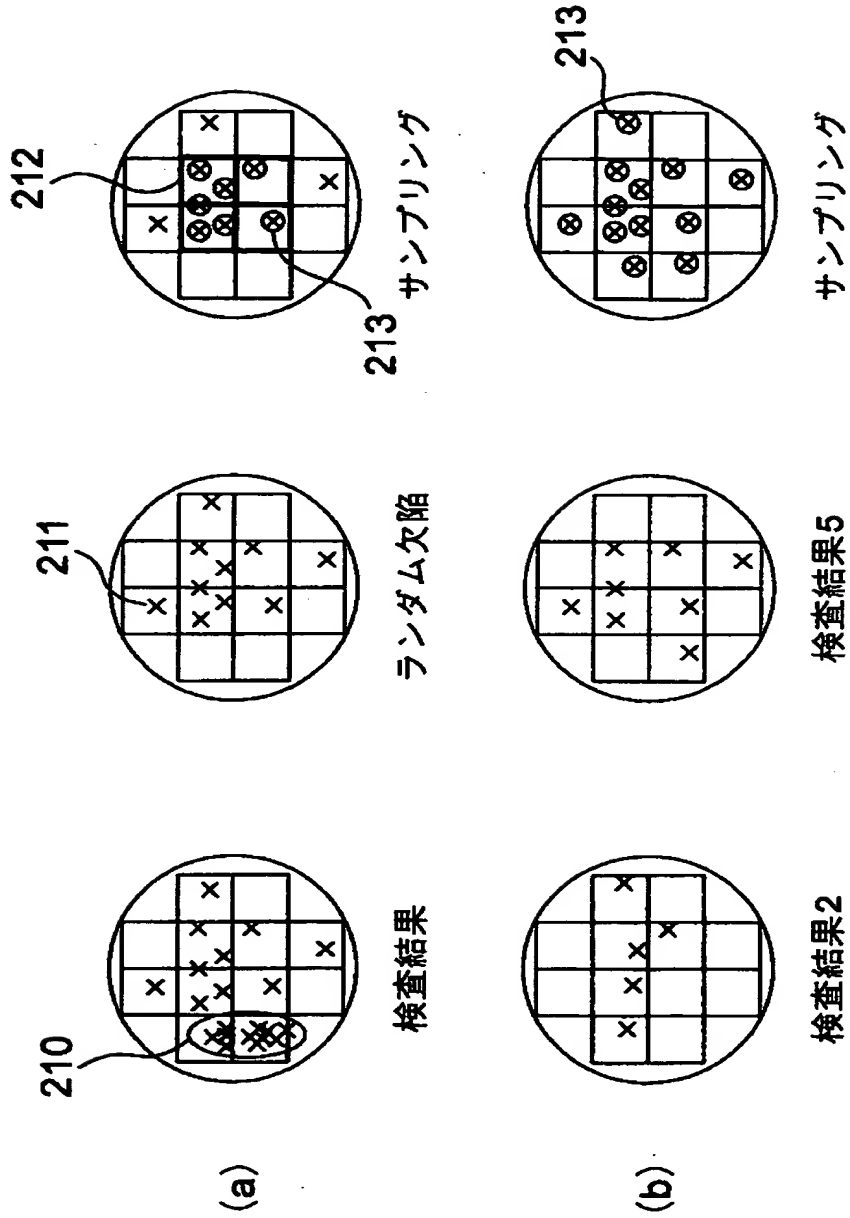
【図10】

図10



【図 11】

図 11



【書類名】 要約書

【要約】

【課題】 被検査物の致命的な不良の発生を、製造過程において事前に知ることができるようにすること。

【解決手段】 被検査物の製造過程において欠陥を検出して欠陥位置を記憶するステップと、前記欠陥に関する詳細情報を収集して前記欠陥位置と関連付けて記憶するステップと、前記被検査物の最終検査における不良発生位置を記憶するステップと、前記欠陥位置と前記不良発生位置を比較するステップと、前記比較結果に基づき前記詳細情報を分類して表示するステップとを実施する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 1 0 8]

1. 変更年月日	1 9 9 0 年 8 月 3 1 日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台 4 丁目 6 番地
氏 名	株式会社日立製作所